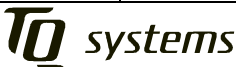


# Spezifikation

## TQM8260

**TQM8260.SZ.200**

**31.05.2001**

	Datum:	Name:	Benennung:	Spezifikation
Erstellt:	31.05.2001	Johannes Trepte	Projekt:	TQM8260
Geprüft:			Dokumenten-Nr.:	TQM8260.SZ.200
Firma:			Freigabestatus:	vorläufig
			Kunde:	TQ-Components
Datei:	W:\Projekte\tqm8260\rev200\doc\tqm8260.sz.200.doc			

## Inhalt

1.	Kurzbeschreibung .....	3
2.	Technische Anforderungen .....	3
2.1	Elektronikspezifikation .....	3
2.1.1	Begriffe .....	3
2.1.2	Blockschaltbild .....	4
2.1.3	Systemkomponenten .....	4
2.1.4	CPU .....	4
2.1.5	Reset-Logik .....	5
2.1.6	Takt .....	7
2.1.7	L2-Cache .....	7
2.1.8	Permanentspeicher (Flash) .....	7
2.1.9	Dynamischer Schreib-/Lese-Speicher (SDRAM) .....	8
2.1.10	Bustreiber .....	9
2.1.11	Serieller nichtflüchtiger Schreib-/Lese-Speicher (EEPROM) .....	9
2.2	Versorgung .....	10
2.2.1	Spannungsversorgung .....	10
2.2.2	Power Sequencing .....	10
2.2.3	Schaltregler für 3,3 V .....	11
2.2.4	Schaltregler für VDD .....	12
2.2.5	Versorgungsmöglichkeiten .....	13
2.3	Schnittstellen zu anderen Systemen und Geräten .....	13
2.3.1	Serielle Schnittstellen .....	13
2.3.2	TQS-Download-Interface .....	14
2.3.3	COP/JTAG-Interface .....	14
2.3.4	Externer Bus / sonstige Schnittstellen .....	14
2.4	Mechanikspezifikation .....	24
2.5	Softwarespezifikation .....	25
2.6	Sicherheitsanforderungen und Schutzbestimmungen .....	25
2.6.1	EMV-Anforderungen .....	25
2.6.2	ESD-Anforderungen .....	25
2.6.3	Betriebssicherheit und Personenschutz .....	26
2.7	Umweltbedingungen .....	26
2.7.1	Klima- und Einsatzbereich .....	26
2.7.2	Einbaubedingungen .....	26
2.8	Zuverlässigkeit und Lebensdauer .....	<b>Fehler! Textmarke nicht definiert.</b>

Änderungsindex:

Rev.	Datum	Pos.	Name	Modifikation
200	30.05.01		Trepte	Erstellung aus Feinkonzept
	30.05.01	2.3.4	Trepte	Signalbeschreibung, Buslasten und Pin-Nummern eingefügt
	31.05.01	2.3.4	Trepte	Pull-Ups und Pull-Downs eingefügt
	03.08.01		Trepte	Ergebnisse der internen Prüfung aufgenommen

## **1. Kurzbeschreibung**

Das TQM8260 ist ein universelles Minimodul mit der PowerPC-CPU MPC8260 Motorola. Es ist das erste Modul einer neuen Familie, die auf den MPC8xxx-CPU's von Motorola basiert. Das Pinout wurde bereits auf eine spätere Erweiterung ausgelegt. Damit können flexibel neue Module entwickelt und die gleiche Entwicklungsumgebung (Starter- / Applikationskit) verwendet werden.

Alle Pins des Mikroprozessors sind auf die Stecker herausgeführt. Damit erleichtert sich die Integration des Minimoduls in ein System, ohne sich frühzeitig auf die Modulvariante festlegen zu müssen.

## **2. Technische Anforderungen**

### **2.1 Elektronikspezifikation**

#### **2.1.1 Begriffe**

Folgende Begriffe und Abkürzungen werden verwendet:

COP/JTAG	Joint Test Action Group
CPU	Central Processing Unit
EMV	Elektromagnetische Verträglichkeit
Flash	Erasable Programmable Logic Device
EEPROM	Electrically erasable programmable read-only memory
PCI	Peripheral component interconnect
MCU	Memory Control Unit
SMD	Surface Mounted Device
SDRAM	Synchronous Dynamic Random Access Memory
RTC	Real Time Clock

## 2.1.2 Blockschaftbild

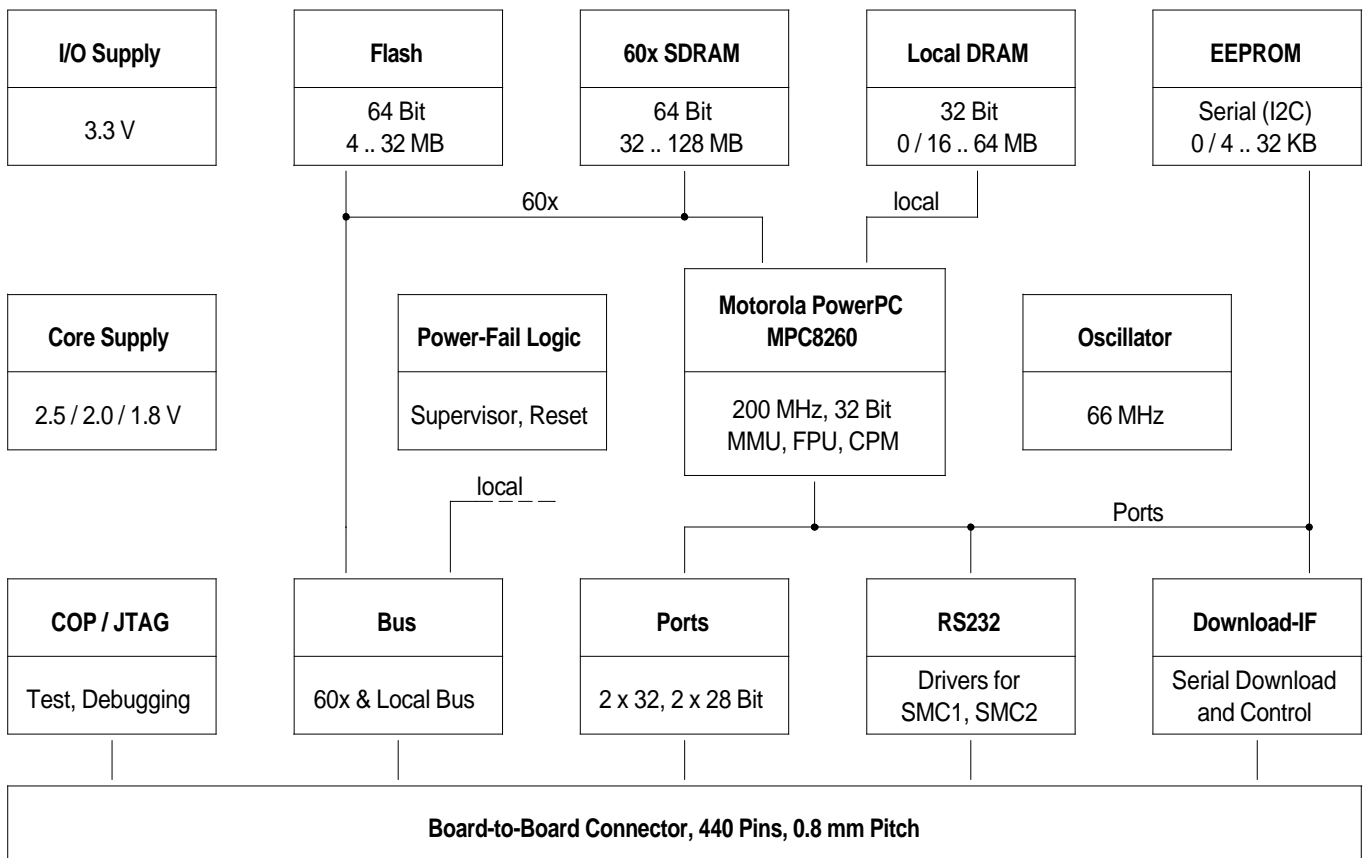


Abbildung 1: Blockschaftbild

## 2.1.3 Systemkomponenten

- CPU MPC8260 (evtl. weitere Derivate)
- Oszillator für CPU
- Power-Fail-Logik
- DC/DC-Konverter
- SDRAM, Flash, EEPROM
- L2 Cache
- 2\* RS232 serielle Treiber für SMC1 und SMC2
- COP/JTAG Interface
- Board-to-Board Steckersystem, 440 Pins, Rastermaß 0,8 mm

## 2.1.4 CPU

Das Modul wurde für den MPC8260 entwickelt. Der Einsatz des MPC8255 ist voraussichtlich möglich. Ebenso könnten zukünftige Derivate eingesetzt werden, wenn sie pin- und funktionskompatibel zum MPC8260 sind.

Sowohl der 8260-Busmodus als auch der 60x-Busmodus können genutzt werden. Der 8260-Busmodus hat den Vorteil eines geringen Hardware-Aufwandes; der 60x-Modus ermöglicht dafür den Einsatz von L2-Cache (s. 2.1.7) und den Aufbau eines Multiprozessor-Systems.

## 2.1.5 Reset-Logik

Da die Einhaltung der Resetschwellen kritisch ist, mußten Bauteile mit geringen Toleranzen eingesetzt werden. Dafür konnte auf einen Abgleich vollständig verzichtet werden.

- Spannungsüberwachung für 3,3 V (I/O-Spannung der CPU, sonstige Logik)
- Spannungsüberwachung für Core-Spannung (mit Festwiderständen konfigurierbar für 2,5 V / 2,0 V und 1,8 V)
- Externer Reset-Eingang
- Frei verfügbarer Power-Fail-Input  
Um einen offenen Eingang zu vermeiden, ist dieser mit einem Pull-Down von 100 kΩ beschaltet.

Die Toleranzen der Versorgungen und Supervisorschwellen sind für jede Spannung jeweils in einem Diagramm dargestellt.

### 2.1.5.1 Toleranzen und Resetschwelle für 3,3 V

Zulässige Toleranz:

$$VDDH = 3,3 \text{ V} \pm 5 \% = 3,135 \text{ .. } 3,465 \text{ V}$$

Toleranz Schaltregler (gilt auch für externe Einspeisung):

$$VDDH = 3,3 \text{ V} \pm 2,515 \% = 3,2170 \text{ .. } 3,3830 \text{ V}$$

Toleranz Reset:

$$U_{\text{Reset}} = 3,1750 \text{ V} \pm 1,243 \% = 3,1355 \text{ .. } 3,2145 \text{ V}$$

Um die Kosten eines Abgleichs zu vermeiden, wurden für den Spannungsteiler 0,1%-ige Widerstände eingesetzt. Damit wurde der zulässige Toleranzbereich für die Versorgung maximal gehalten, was insbesondere bei externer Einspeisung der 3,3 V das Design der Stromversorgung erleichtert.

Eine minimale Überlappung des Versorgungs- und des Resetbereichs kommt durch den Schalter der 3,3-V-Versorgung zustande. Diese Überlappung tritt nur auf, wenn alle Bauelemente die schlechtestmöglichen Eigenschaften haben (z. B. Temperaturbereich -40 .. +85 °C). Im normalen Temperaturbereich (0 .. +70 °C) ist sie nicht vorhanden.

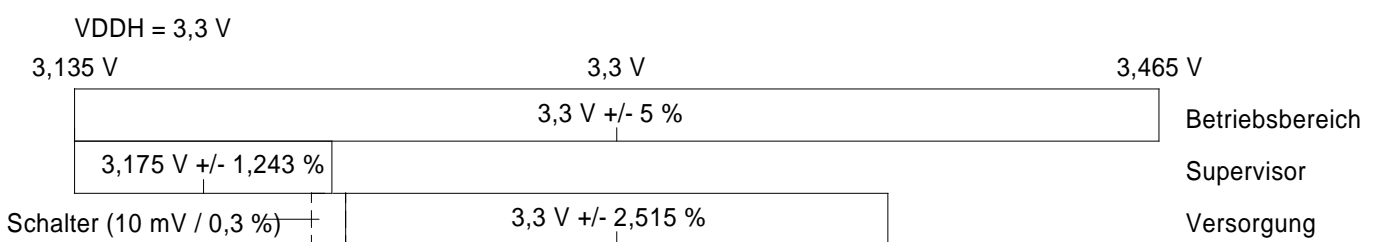


Abbildung 2: Toleranzen der 3,3-V-Versorgung

### 2.1.5.2 Toleranzen und Resetschwelle für VDD = 2,5 V

Zulässige Toleranz:

$$VDD = 2,5 \text{ V} \pm 5 \% = 2,375 \text{ .. } 2,625 \text{ V}$$

Toleranz Schaltregler:

$$VDD = 2,5 \text{ V} \pm 1,5 \% = 2,4625 \text{ .. } 2,5375 \text{ V}$$

Toleranz Reset:

$$U_{\text{Reset}} = 2,4188 \text{ V} \pm 1,894 \% = 2,3730 \text{ .. } 2,4646$$

(Unterspannung und Überlappung mit Schaltregler-Toleranz theoretisch 0,08 %, praktisch ok)

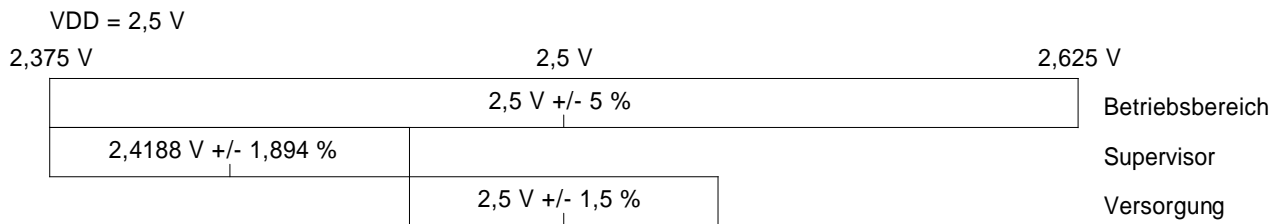


Abbildung 3: Toleranzen für VDD = 2,5 V

### 2.1.5.3 Toleranzen und Resetschwelle für VDD = 2 V

Zulässige Toleranz:

$$VDD = 2 \text{ V} \pm 5 \% = 1,9 \text{ .. } 2,1 \text{ V}$$

Toleranz Schaltregler:

$$\rightarrow VDD = 2 \text{ V} \pm 1,9 \% = 1,9620 \text{ .. } 2,0380$$

Toleranz Reset:

$$U_{\text{Reset}} = 1,9329 \text{ V} \pm 1,541 \% = 1,9031 \text{ .. } 1,9627$$

(Überlappung mit Schaltregler-Toleranz theoretisch 0,04 %, praktisch ok)

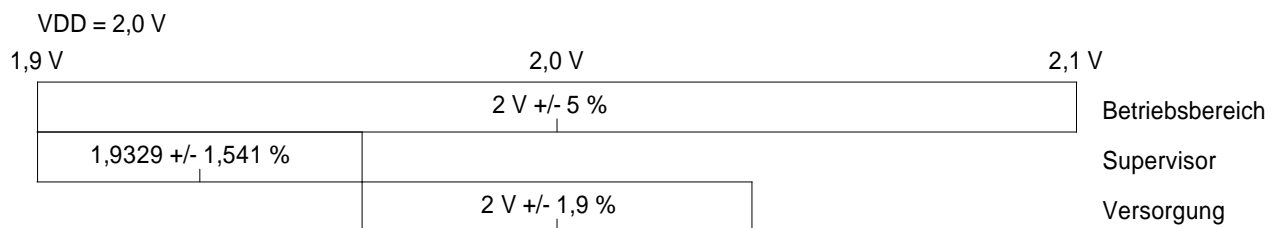


Abbildung 4: Toleranzen für VDD = 2 V

### 2.1.5.4 Toleranzen und Resetschwelle für VDD = 1,8 V

Diese Core-Spannung ist derzeit noch nicht verwirklicht, jedoch bei Motorola für den nächsten Maskenschritt geplant.

Zulässige Toleranz:

$$VDD = 1,8 \text{ V} \pm 5 \% = 1,71 \text{ .. } 1,89 \text{ V}$$

Toleranz Schaltregler:

$$VDD = 1,8 \text{ V} \pm 1,5 \% = 1,773 \text{ .. } 1,827 \text{ V}$$

Toleranz Reset:

$$U_{\text{Reset}} = 1,7415 \text{ V} \pm 1,348 \% = 1,7179 \text{ .. } 1,7649$$

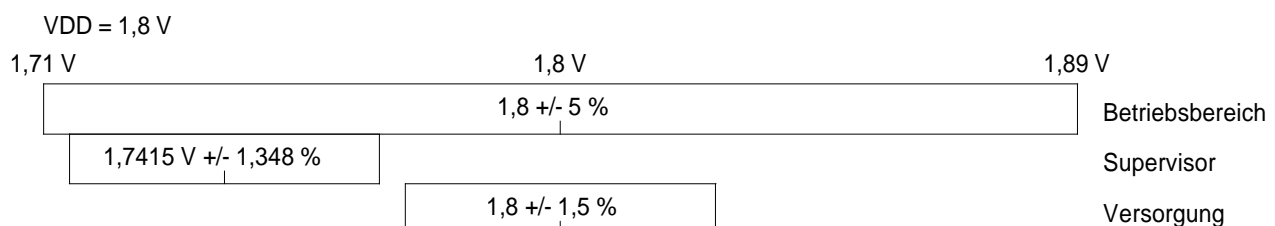


Abbildung 5: Toleranzen für VDD = 1,8 V

## 2.1.5.5 Zusätzliche Eingangsspannungsüberwachung

Der verwendete Reset-Baustein bietet die Möglichkeit, eine weitere unabhängige Spannung zu überwachen. Damit kann z. B. eine Frühwarnung bei Versorgungsausfällen realisiert werden. Um den hochohmigen Überwachungseingang nicht offen zu lassen, wird dieser mit 100 k $\Omega$  1 % nach Masse gezogen. Dieser definierte Eingangswiderstand muß in kundenspezifischen Beschaltungen berücksichtigt werden.

## 2.1.6 Takt

Da der Takt an mehreren Bausteinen benötigt wird (CPU, SDRAM, SDRAM lokal, L2-Cache, herausgeführte Clocks), wird ein Mehrfach-Clock-Treiber eingesetzt. Im Gegensatz zum MPC8xx beziehen sich beim MPC8260 alle Timings auf den Takteingang. Der dort anliegende Takt ist identisch mit dem externen Bustakt. Für eine gute Signalqualität wird für alle Clocks eine Source-Terminierung verwendet.

Zur Zeit ist die Frequenz auf 66 MHz begrenzt. Als exakte Frequenz wurde 66,666 MHz gewählt, da sich mit den Multiplikationsfaktoren recht genau die maximale Core-Taktfrequenz von 200 MHz einstellen läßt. Beim Übergang auf 200 MHz (Faktor 3) ergibt sich ein Fehler von  $10^{-5}$ , was deutlich unter der Frequenzstabilität von 100 ppm liegt.

In der Standardbeschaltung (kein PCI-Bus oder CPU ist PCI Host) wird der Takt intern erzeugt, verteilt und an CLKIN (bzw. CLKIN1) angelegt. Aus diesem Eingangstakt erzeugt der MPC8260 mit Hilfe zweier interner PLLs den Core-Takt und den CPM-Takt.

In zukünftigen Chip-Versionen, die PCI unterstützen, kann der Takt aus dem PCI-Clock des Systems an CLKIN1 gewonnen werden (PCI Agent). In diesem Fall erzeugt der MPC82xx den 60x-Takt (externer Bustakt) über eine DLL an DLOUT. Dieses Signal wird über einen Clocktreiber verteilt und auf CLKIN2 zurückgeführt. Somit kann der MPC82xx die trotz des verzögerungsbehafteten Bustreibers die Phasengleichheit des 60x-Taktes mit dem eingespeisten PCI-Clock gewährleisten.

## 2.1.7 L2-Cache

Es können zwei Konfigurationen realisiert werden:

### 2.1.7.1 Ohne L2-Cache

Die SDRAMs werden direkt durch die CPU angesteuert. Die mittlere Zugriffszeit ist 4-1-1-1 @ 66 MHz = 106 ns / burst. Der in dieser Variante nicht benötigte Multiplexer wird mit 0- $\Omega$ -Widerstands-Arrays überbrückt.

### 2.1.7.2 Mit L2-Cache

Die SDRAMs werden über Latches und externe Multiplexer durch die CPU angesteuert. Zusätzlich kann ein Cache-Baustein MPC2605 von Motorola am 60x-Bus bestückt werden. Die mittlere Zugriffszeit ist bei Cache Miss ist 5-1-1-1 @ 66 MHz = 120 ns / burst, bei Cache Hit 2-1-1-1 @ 66 MHz = 76 ns / burst. Bei 66 MHz muß wegen der Verzögerung der Latches und des Multiplexers ein zusätzlicher Clock-Zyklus eingefügt werden (EAMUX = 1). Das führt bei einem Cache Miss zu dem genannten 5-1-1-1-Zyklus.

## 2.1.8 Permanentspeicher (Flash)

Es werden 16 Bit breite 3,3-V-Flashes im BGA-Gehäuse eingesetzt. Diese werden von der CPU direkt angesteuert.

- 8 bis 32 MB
- 1 Bank mit 64 Bit Breite
- Zugriffszeit 90 ns

Da aus dem Flash gebootet wird, wird CS0# verwendet. Die passende Konfiguration des Memory Controllers ist GPCM, ACS = 10b, TRLX = 1, CSNT = 1, SCY = 3, EHTR = 10b.

## **2.1.9 Dynamischer Schreib-/Lese-Speicher (SDRAM)**

### 2.1.9.1 SDRAM am Prozessorbus

Als SDRAM Speicher werden 16-bit breite SDRAMs im TSSOP54 Gehäuse eingesetzt. Wenn L2-Cache eingesetzt wird, müssen die Adressen für die SDRAMs extern gelatcht und gemultiplext werden, da der L2-Cache nicht-gemultiplexte Adressen benötigt.

- Synchrones dynamisches RAM (SDRAM)
- 32 - 128 MB on board
- 66 Mhz Takt
- 1 Speicherbank mit 64 Bit Breite

Die Bausteine müssen dem PC100-Standard entsprechen, und für CAS Latency = 2 bei 66 MHz spezifiziert sein. Entsprechend dem Speicherausbau werden 4 Chips zu 64, 128 oder 256 MBit eingesetzt.

Als Chip Select wird einfach fortlaufend CS1# vergeben. Die passende Konfiguration ist

SDRAM: CAS latency 2, sequentiell, 4er-Bursts  
MPC8260: OR: BPD = 01,  
ROWST(Bits 19:22) = 0101 (9 Col) / 0111 (8 Col),  
NUMR = 100 (9 Col) / 011 (8 Col), IBID = 0;  
PSDMR: PBI = 1,  
SDAM = 011 (9 Col) / 010 (8 Col) ,  
BSMA = , 000  
SDA10 = , 011 (9 Col) / 010 (8 Col)  
EAMUX = 0 (8260 Mode) bzw. EAMUX = 1 (60x Mode)

### 2.1.9.2 SDRAM am lokalen Bus

Bei schnellen Datentransferprotokollen (speziell ATM) ist es von Vorteil, Verbindungsdaten lokal abzulegen. Damit wird der Prozessorbus entlastet, so daß die CPU nicht gebremst wird. Einsetzbare Typen siehe 2.1.9.1.

- Synchrones dynamisches RAM (SDRAM)
- 0 - 64 MB on board
- 66 Mhz Takt
- 1 Speicherbank mit 32 Bit Breite

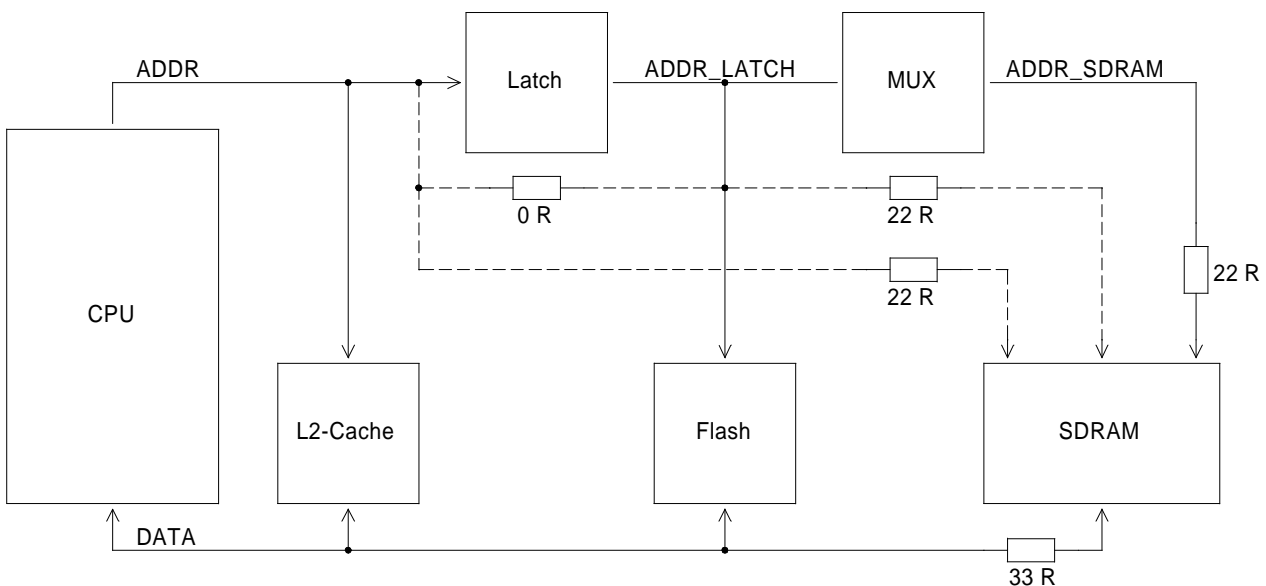
Die Bausteine müssen dem PC100-Standard entsprechen, und für CAS Latency = 2 bei 66 MHz spezifiziert sein. Entsprechend dem Speicherausbau werden 4 Chips zu 64, 128 oder 256 MBit eingesetzt.

Als Chip Select wird einfach fortlaufend CS2# vergeben. Die passende Konfiguration ist

SDRAM: CAS latency 2, sequentiell, 4er-Bursts  
MPC8260: OR: BPD = 01,  
ROWST(Bits 19:22) = 0101 (9 Col) / 0111 (8 Col),  
NUMR = 100 (9 Col) / 011 (8 Col), IBID = 0;  
PSDMR: PBI = 1,  
SDAM = 011 (9 Col) / 010 (8 Col) ,  
BSMA = , 000  
SDA10 = , 011 (9 Col) / 010 (8 Col)

## 2.1.10 Bustreiber

Das folgende Diagramm gibt die grobe CPU-Busstruktur des Moduls wieder:



### 2.1.10.1 Nicht gelatchter Adreßbus

Der nicht gelatchte Adreßbus wird im 8260-Modus zur Ansteuerung der SDRAMs verwendet, und für externe Busteilnehmer auf die Modul-Steckverbinder geführt.

### 2.1.10.2 Gelatchter Adreßbus

Der gelatchte Adreßbus wird im 60x-Modus zur von SDRAM (max. 24 Bit) und Flash (max. 22 Bit) verwendet.

### 2.1.10.3 Gemultiplexter Adreßbus für SDRAM

Für den Betrieb im 60x-Modus müssen externe Bus-Multiplexer eingesetzt werden. Die unterschiedliche Spaltenbreite bei 64- und 128- / 256-MBit-Chips wird durch Bestückungsvarianten berücksichtigt.

### 2.1.10.4 Datenbus

Aufgrund der geringen Buslasten werden auf dem Modul keine Treiber vorgesehen. Die Datenleitungen werden für externe Busteilnehmer auf die Modul-Steckverbinder geführt.

## 2.1.11 Serieller nichtflüchtiger Schreib-/Lese-Speicher (EEPROM)

Das serielle EEPROM kann z. B. Kenndaten des Moduls und kundenspezifische Parameterdaten aufnehmen. Im Gegensatz zum Flash können im EEPROM einzelne Speicherzellen gelöscht und überschrieben werden. Im Auslieferungszustand ist das EEPROM leer. Es kann z.B. Konfigurationsdaten nichtflüchtig speichern.

- 128 Bytes- 32 KB
- Ansteuerung über I2C-Bus (ab Rev. 200)

## 2.2 Versorgung

### 2.2.1 Spannungsversorgung

Für die Versorgung des Moduls ist wie folgt realisiert:

- Eingangsspannung 3,9 bis 5,5 V oder 3,3 V
- Abwärts-Schaltregler auf 3,9 bis 5,5 V auf 3,3 V (= I/O-Spannung VDDH)
- Abwärts-Schaltregler auf Core-Spannung (VDD, 2,5 V / 2 V / einstellbar) Eingangsspannung wahlweise 3,9 bis 5,5 V oder VDDH (→ 3,3 .. 6 V)

Es ergibt sich folgende Struktur (der Schalter dient dem Power Sequencing, s. 2.2.2):

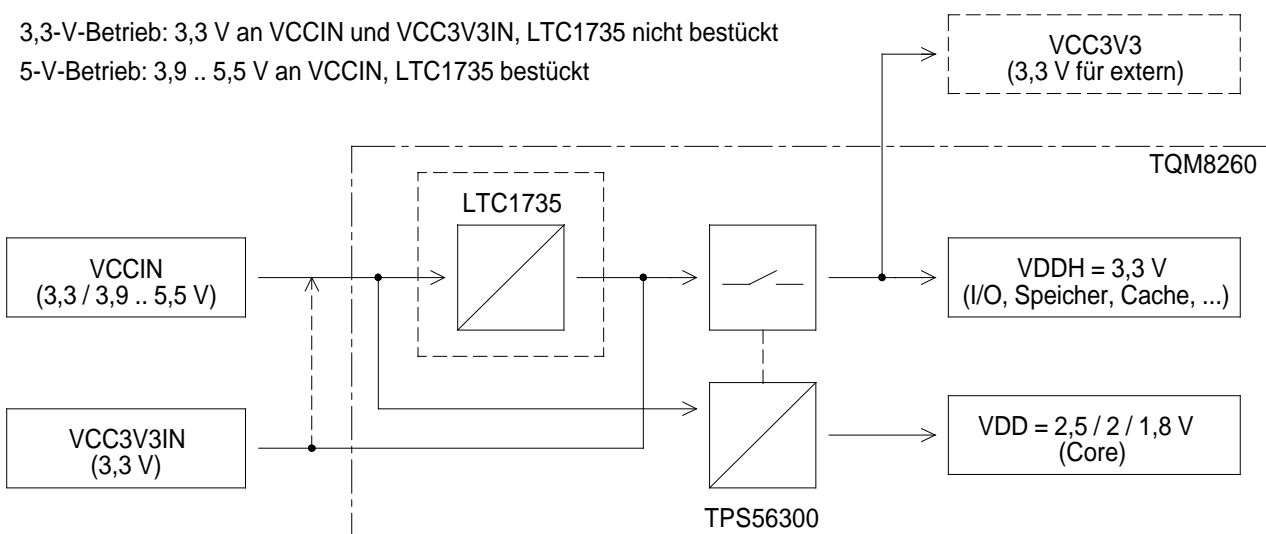


Abbildung 6: Struktur der Vorsorgung

### 2.2.2 Power Sequencing

Unter Power Sequencing wird das Einhalten einer bestimmten Ein- und Ausschaltreihenfolge für verschiedene Betriebsspannungen verstanden. Die Spezifikation des MPC8260 fordert

$$V_{IN} \leq V_{DDH} + 2,5 \text{ V} \quad (1)$$

$$V_{DDH} \leq V_{DD} (= V_{CCSYN}) + 1,6 \text{ V} \quad (2)$$

$$V_{DD} (= V_{CCSYN}) \leq V_{DDH} + 0,4 \text{ V}. \quad (3)$$

Das folgende Bild soll die Zusammenhänge verdeutlichen.

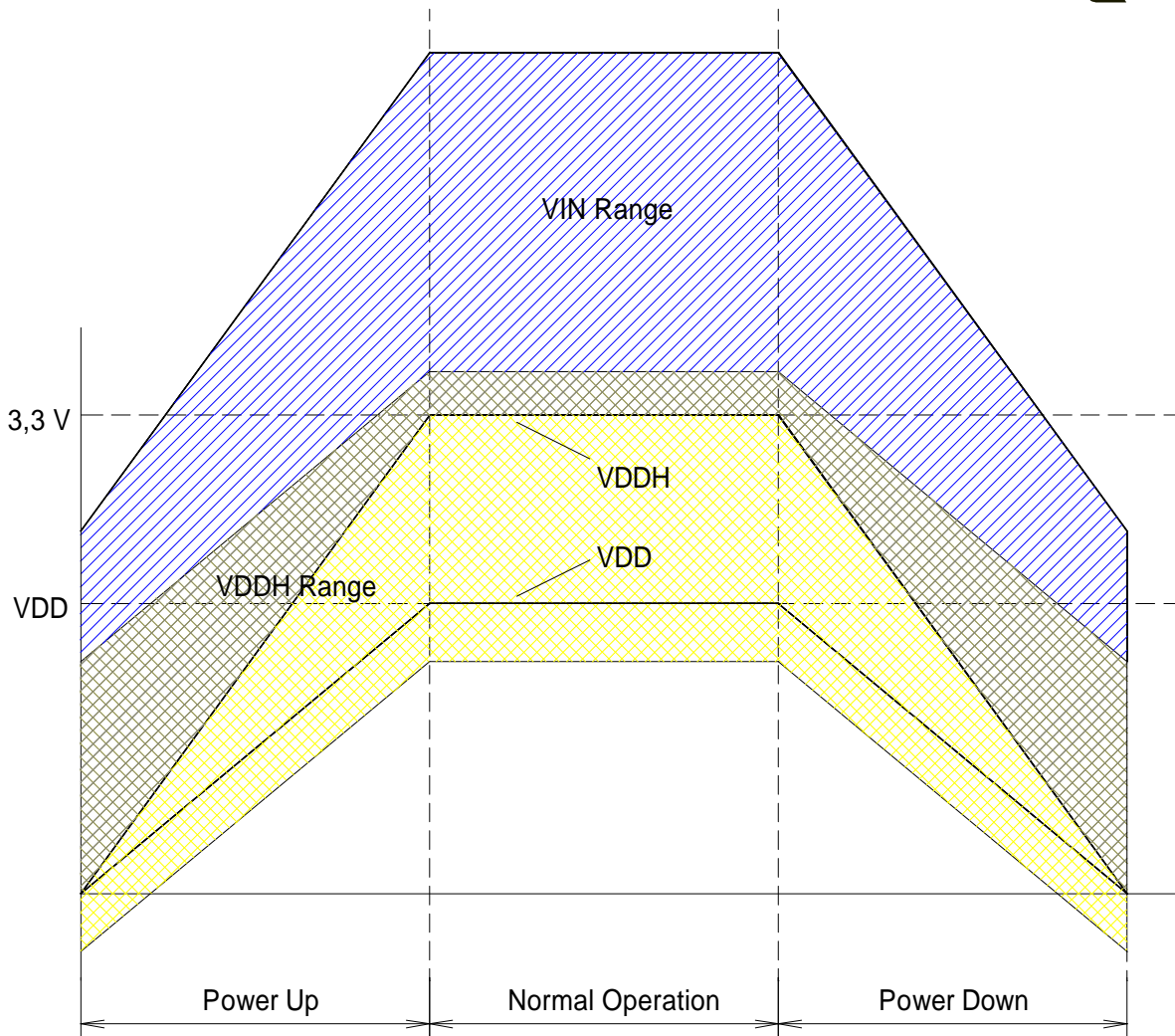


Abbildung 7: Toleranzbereiche für Power Sequencing

Aus dem als Linie eingezeichneten Anstieg von VDD folgt gelb (in der Überlagerung grün) der zulässige Bereich für VDDH. Aus dem ebenfalls als Linie gezeichneten Anstieg von VDDH wiederum folgt der schraffierte Bereich für die zulässigen Eingangsspannungen. Die Einhaltung der Bedingung (1) obliegt dem Entwickler der extern angeschlossenen Hardware (Basisboard). Dazu kann vorteilhaft das "Power Good"-Signal vom 3,3-V-Schaltregler zum Freischalten extern angeschlossener Signale verwendet werden.

Die Bedingungen (2) und (3) werden beim Einschalten dadurch erfüllt, daß die 3,3-V-Versorgung über einen Schalter / Linearregler geführt wird. Zusätzlich wird eine Schottky-Diode von VDD nach 3,3 V vorgesehen, die Bedingung (3) beim Power-Down sicherstellt.

### **2.2.3 Schaltregler für 3,3 V**

Diese Bestückungsoption muß immer dann gewählt werden, wenn keine externe 3,3V Versorgung des Moduls zur Verfügung steht. Ein Abwärts-Schaltregler erzeugt aus der externen Versorgung (3,9 .. 5,5 V) die Betriebsspannung von  $3,3 \text{ V} \pm 5 \% = 3,135 \text{ .. } 3,465 \text{ V}$  zur Versorgung der CPU-I/Os und aller sonstigen 3-V-Logik Bausteine.

## 2.2.3.1 Stromverbrauch aus 3,3 V

Baustein	Typ	Stromaufnahme max. [mA]
CPU-IO	MPC8260 @ 200 MHz ( $P_{INT} = 3,76 \text{ W}$ , hochgerechnet aus $P_{INT} = 2,5 \text{ W}$ @ 133 MHz aus MPC8260 Fact Sheet, MPC8260FACT/D, $P_{IO} < 0,3 * P_{INT} = 1,13 \text{ W}$ )	340
L2-Cache	1x MPC2605 (100 % aktiv, 100 % Hit Rate @ 66 MHz: 720 mA, inaktiv 195 mA) geschätzt bei 80 % Hit Rate: 600 mA	600
Flash	4x 29LV160B (Schreiben)	120
SDRAM	4x KM416S40230A (135 mA, Burst Mode)	540
SDRAM lokal	2x KM416S40230A (135 mA, Burst Mode)	270
RS232		50
Watchdog		$\cong 0$
allg. Logik		$\cong 0$
extern	z. B. 4 x 74LVC16245 + 2x 74LVC16541 (je 25 pF Last @ 66 MHz / 4: $P = 225 \text{ mA} + 105 \text{ mA} = 330 \text{ mA}$ ), gewählt 400 mA	400 mA
Summe		2320

## 2.2.3.2 Auslegung des DC/DC-Wandlers

- Synchroner Current-Mode-Schaltregler
- Wandlung 3,9 .. 5,5 V  $\rightarrow$  3,3 V
- Dimensionierung für CPU-I/O, interne 3,3-V-Logik sowie geringe externe Lasten (z. B. Bustreiber, s. o.).
- $I_{max} = 2650 \text{ mA}$
- Schaltfrequenz 400 kHz
- Keramische Kondensatoren

## 2.2.3.3 Lastschalter

Der in Abbildung 6 gezeichnete Lastschalter wird durch MOSFETs realisiert. Er wird vom Schaltregler für VDD gesteuert.

## 2.2.4 Schaltregler für VDD

Ein Schaltregler für VDD muß immer vorhanden sein.. Dieser Abwärts-Schaltregler erzeugt aus der externen Versorgung (3,9 .. 5,5 V) oder alternativ aus 3,3 V die Core-Spannung von  $2,5 \text{ V} \pm 1,5 \% = 2,4625 \dots 2,5375 \text{ V}$  oder  $2 \text{ V} \pm 1,9 \% = 1,9620 \dots 2,0380$ . Andere Core-Spannungen (z. B. 1,8 V) können über eine geänderte VID-Einstellung bzw. mit einem externen Teiler für die Spannungsrückführung realisiert werden. VDD dient zur Versorgung des CPU-Kerns und der PLLs.

## 2.2.4.1 Stromverbrauch aus VDD

Baustein	Typ	Stromaufnahme max. [mA]
Core	MPC8260 @ 200 MHz ( $P_{INT} = 3,76 \text{ W}$ , hochgerechnet aus $P_{INT} = 2,5 \text{ W @ } 133 \text{ MHz}$ aus MPC8260 Fact Sheet, MPC8260FACT/D, $P_{IO} < 0,3 * P_{INT} = 1,13 \text{ W}$ $\rightarrow P_{CORE} \approx 0,8 * P_{INT} = 3,01 \text{ W}$ )	1500
Summe		1500

## 2.2.4.2 Auslegung des DC/DC-Wandlers

- Synchroner Hysteretic-Mode-Schaltregler
- Wandlung 3,2 .. 5,5 V  $\rightarrow$  VDD
- Dimensionierung ausschließlich für CPU-Core, Spannung wird nicht aus dem Modul herausgeführt,  $I_{max} = 1500 \text{ mA}$
- Schaltfrequenz 200 .. 400 kHz (nicht konstant, Nennfrequenz 300 kHz)
- Keramische Kondensatoren

## 2.2.5 Versorgungsmöglichkeiten

Mit den beschriebenen Schaltreglern ergeben sich folgende Möglichkeiten, das Modul zu versorgen:

- **3,3 V** (3,3-V-Wandler nicht bestückt, VDD-Wandler 85 % Wirkungsgrad):  
Einspeisung 2320 mA (3,3 V) + 1340 mA (VDD = 2,5 V) = 3660 mA max.  
Einspeisung sowohl an VCCIN als auch VCC3V3IN
- **3,9 .. 5,5 V** (3,3-V-Wandler bestückt, beide Wandler 85 % Wirkungsgrad):  
Einspeisung z. B. 5 V, 1800 mA (3,3 V) + 880 mA (VDD = 2,5 V) = 2680 mA max.  
Einspeisung nur an VCCIN

## 2.3 Schnittstellen zu anderen Systemen und Geräten

### 2.3.1 Serielle Schnittstellen

- Zwei interne UARTs
- max. 115200 Baud
- Treiber mit RS232-kompatiblen Pegeln
- alle Signale auf auch ohne Treiber verfügbar
- Standardbestückung Treiber 2x Rx/D / Tx/D

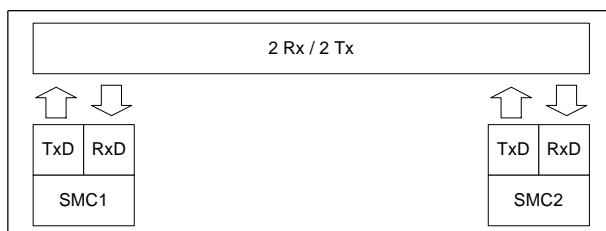


Abbildung 8: Treiberstruktur der RS232-Schnittstellen

## 2.3.2 TQS-Download-Interface

- RxD und TxD
- Reset über die RS232-Schnittstelle
- zusätzliche Eingangsleitung von RS232 (kann über Port-Pin abgefragt werden)

Das Download-Interface ist eine Erweiterung der seriellen Schnittstelle für Steuerzwecke. Es besteht aus fünf Signalen, die lediglich auf den Steckern zur Basisplatine vorhanden sind. Auf dem Starterkit STK82xx sind sie mit dem Steckverbinder für SMC1 kombiniert.

Pin*	Signalname	Typ	Funktion
6	ENMON#	I	Umschaltung Monitor / normaler Bootvorgang
3	SMTXD1	O	TxD der Debugging-Schnittstelle (SMC1, RS232-Pegel)
5	GND	-	Masse
1	RESIN#	I	Reset-Eingang (Master-Reset des Reset-Bausteins)
2	SMRXD1	I	RxD der Debugging-Schnittstelle (SMC1, RS232-Pegel)

\* auf Starterkit STK82xx

Das Umschaltsignal ENMON# wird auf dem Modul durch die Portleitung PD31 und einen (diskret aufgebauten) CMOS-Schalter realisiert. Dieser öffnet während der Reset-Phase, so daß eine hochohmige Kopplung der Portleitung mit ENMON# wirksam wird. Nach der Resetphase schleift der CMOS-Schalter mit einer Verzögerung von ca. 10 ms die Portleitung niederohmig nach außen durch. Dadurch hat die CPU ausreichend Zeit, den Pegel der Resetphase auszuwerten.

## 2.3.3 COP/JTAG-Interface

Alle Leitungen des Motorola COP/JTAG Interfaces (Debugging Interface) werden nach außen zur Verfügung gestellt. Wie das TQS-Debugging-Interface wird auch das COP/JTAG-Interface ausschließlich auf die Stecker zur Basisplatine geführt. Es besteht aus folgenden Signalen:

Pin*	Signalname	Typ	Funktion
1	TDO	O	Test Data Output
3	TDI	I/O	Test Data Input
12, 16	GND	-	Ground
5	QREQ#	I	Quiescent Request
7	TCK	O	Test Clock
9	TMS	I/O	Test Mode Select
11	SRESET#	I	Soft Reset
13	HRESET#		Hard Reset
15	CKSTP_OUT#		Check Stop Out
4	TRST#		Test Reset
6	3,3 V	O	Power

\* auf Starterkit STK82xx

## 2.3.4 Externer Bus / sonstige Schnittstellen

- 64 Bit globaler Datenbus
- 32 Bit globaler Adressbus
- PCI Bus(Adress und Daten Bus)/ lokaler Adressbus
- Alle Port I/O pins

## 2.3.4.1 Belegung der Modul-Steckverbinder

Signal	CPU Pin	Typ	Beschreibung	Ext. Load Cap.* max. [pF]	Module Pin
--------	---------	-----	--------------	---------------------------	------------

### 60x Address Bus

A0	G1	I/O, TS	Address A0 (MSB)	40	X2-98
A1	H5	I/O, TS	Address A1	40	X2-97
A2	H2	I/O, TS	Address A2	40	X2-96
A3	H1	I/O, TS	Address A3	40	X2-95
A4	J5	I/O, TS	Address A4	20	X2-94
A5	J4	I/O, TS	Address A5	20	X2-93
A6	J3	I/O, TS	Address A6	20	X2-92
A7	J2	I/O, TS	Address A7	10	X2-91
A8	J1	I/O, TS	Address A8	10	X2-90
A9	K4	I/O, TS	Address A9	10	X2-89
A10	K3	I/O, TS	Address A10	10	X2-88
A11	K2	I/O, TS	Address A11	10	X2-87
A12	K1	I/O, TS	Address A12	10	X2-86
A13	L5	I/O, TS	Address A13	≈ 5	X2-85
A14	L4	I/O, TS	Address A14	≈ 5	X2-84
A15	L3	I/O, TS	Address A15	10	X2-83
A16	L2	I/O, TS	Address A16	10	X2-82
A17	L1	I/O, TS	Address A17	10	X2-81
A18	M5	I/O, TS	Address A18	10	X2-80
A19	N5	I/O, TS	Address A19	10	X2-79
A20	N4	I/O, TS	Address A20	10	X2-78
A21	N3	I/O, TS	Address A21	10	X2-77
A22	N2	I/O, TS	Address A22	10	X2-76
A23	N1	I/O, TS	Address A23	10	X2-75
A24	P4	I/O, TS	Address A24	10	X2-74
A25	P3	I/O, TS	Address A25	10	X2-73
A26	P2	I/O, TS	Address A26	10	X2-72
A27	P1	I/O, TS	Address A27	20	X2-71
A28	R1	I/O, TS	Address A28	20	X2-70
A29	R3	I/O, TS	Address A29	40	X2-69
A30	R5	I/O, TS	Address A30	40	X2-68
A31	R4	I/O, TS	Address A31	40	X2-67

### 60x Data Bus

D0	B20	I/O, TS	Data D0 (MSB)	18	X4-98
D1	A18	I/O, TS	Data D1	18	X4-97
D2	A16	I/O, TS	Data D2	18	X4-96
D3	A13	I/O, TS	Data D3	18	X4-95
D4	E12	I/O, TS	Data D4	18	X4-94
D5	D9	I/O, TS	Data D5	18	X4-93
D6	A6	I/O, TS	Data D6	18	X4-92
D7	B5	I/O, TS	Data D7	18	X4-91
D8	A20	I/O, TS	Data D8	18	X4-90
D9	E17	I/O, TS	Data D9	18	X4-89
D10	B15	I/O, TS	Data D10	18	X4-88
D11	B13	I/O, TS	Data D11	18	X4-87
D12	A11	I/O, TS	Data D12	18	X4-86
D13	E9	I/O, TS	Data D13	18	X4-85

Signal	CPU Pin	Typ	Beschreibung	Ext. Load Cap.* max. [pF]	Module Pin
D14	B7	I/O, TS	Data D14	18	X4-84
D15	B4	I/O, TS	Data D15	18	X4-83
D16	D19	I/O, TS	Data D16	18	X4-82
D17	D17	I/O, TS	Data D17	18	X4-81
D18	D15	I/O, TS	Data D18	18	X4-80
D19	C13	I/O, TS	Data D19	18	X4-79
D20	B11	I/O, TS	Data D20	18	X4-78
D21	A8	I/O, TS	Data D21	18	X4-77
D22	A5	I/O, TS	Data D22	18	X4-76
D23	C5	I/O, TS	Data D23	18	X4-75
D24	C19	I/O, TS	Data D24	18	X4-74
D25	C17	I/O, TS	Data D25	18	X4-73
D26	C15	I/O, TS	Data D26	18	X4-72
D27	D13	I/O, TS	Data D27	18	X4-71
D28	C11	I/O, TS	Data D28	18	X4-70
D29	B8	I/O, TS	Data D29	18	X4-69
D30	A4	I/O, TS	Data D30	18	X4-68
D31	E6	I/O, TS	Data D31	18	X4-67
D32	E18	I/O, TS	Data D32	18	X4-66
D33	B17	I/O, TS	Data D33	18	X4-65
D34	A15	I/O, TS	Data D34	18	X4-64
D35	A12	I/O, TS	Data D35	18	X4-63
D36	D11	I/O, TS	Data D36	18	X4-62
D37	C8	I/O, TS	Data D37	18	X4-61
D38	E7	I/O, TS	Data D38	18	X4-60
D39	A3	I/O, TS	Data D39	18	X4-59
D40	D18	I/O, TS	Data D40	18	X4-58
D41	A17	I/O, TS	Data D41	18	X4-57
D42	A14	I/O, TS	Data D42	18	X4-56
D43	B12	I/O, TS	Data D43	18	X4-55
D44	A10	I/O, TS	Data D44	18	X4-54
D45	D8	I/O, TS	Data D45	18	X4-53
D46	B6	I/O, TS	Data D46	18	X4-52
D47	C4	I/O, TS	Data D47	18	X4-51
D48	C18	I/O, TS	Data D48	18	X4-50
D49	E16	I/O, TS	Data D49	18	X4-49
D50	B14	I/O, TS	Data D50	18	X4-48
D51	C12	I/O, TS	Data D51	18	X4-47
D52	B10	I/O, TS	Data D52	18	X4-46
D53	A7	I/O, TS	Data D53	18	X4-45
D54	C6	I/O, TS	Data D54	18	X4-44
D55	D5	I/O, TS	Data D55	18	X4-43
D56	B18	I/O, TS	Data D56	18	X4-42
D57	B16	I/O, TS	Data D57	18	X4-41
D58	E14	I/O, TS	Data D58	18	X4-40
D59	D12	I/O, TS	Data D59	18	X4-39
D60	C10	I/O, TS	Data D60	18	X4-38
D61	E8	I/O, TS	Data D61	18	X4-37
D62	D6	I/O, TS	Data D62	18	X4-36
D63	C2	I/O, TS	Data D63 (LSB)	18	X4-35

Signal	CPU Pin	Typ	Beschreibung	Ext. Load Cap.* max. [pF]	Module Pin
--------	---------	-----	--------------	---------------------------	------------

**60x Bus Control**

TT4	F2	I/O	Transfer Type 4, Pull-Up 4k7 with CPU Mask 0	40	X2-16
TT3	G2	I/O	Transfer Type 3 Pull-Up 4k7 with CPU Mask 0	40	X2-17
TT2	G3	I/O	Transfer Type 2 Pull-Up 4k7 with CPU Mask 0	40	X2-18
TT1	G4	I/O	Transfer Type 1 Pull-Up 4k7 with CPU Mask 0	40	X2-19
TT0	F1	I/O	Transfer Type 0 Pull-Up 4k7 with CPU Mask 0	40	X2-20
TSIZ3	F5	I/O	Transfer Size 3	40	X2-21
TSIZ2	D2	I/O	Transfer Size 2	40	X2-22
TSIZ1	E4	I/O	Transfer Size 1	40	X2-23
TSIZ0	C1	I/O	Transfer Size 0, Pull-Down 4k7	50	X2-24
CPU_DBG2#		I	CPU Data Bus Grant 2 Pull-Up 10 k (only L2 connected)	-	X2-25
CPU_DBG#	R2	O	CPU Data Bus Grant	44	X2-26
CPU_BR2#		I	CPU Bus Request 2 Pull-Up 10 k (only L2 connected)	-	X2-27
CPU_BR#	Y3	O	CPU Bus Request	44	X2-28
CPU_BG#	U4	I/O	CPU Bus Grant, Pull-Up 4k7	44	X2-29
CPU_BG2#		I	CPU Bus Grant 2 Pull-Up 10 k (only L2 connected)	-	X2-30
CI#	U2	I/O	Cache Inhibit, Pull-Up 4k7	40	X2-31
BR#	W5	I/O	Bus Request, Pull-Up 4k7	40	X2-32
BG#	F4	I/O	Bus Grant	44	X2-33
IRQ7#/DP7		I/O, TS	Interrupt Request 7, Pull-Up 4k7	50	X2-34
IRQ6#	A21	I/O, TS	Interrupt Request 6, Pull-Up 4k7	50	X2-35
IRQ5#	B21	I/O, TS	Interrupt Request 5, Pull-Up 4k7	50	X2-36
IRQ4#	C21	I/O, TS	Interrupt Request 4, Pull-Up 4k7	50	X2-37
IRQ3#	D21	I/O, TS	Interrupt Request 3, Pull-Up 4k7	50	X2-38
IRQ2#	E21	I/O, TS	Interrupt Request 2, Pull-Up 4k7	50	X2-39
IRQ1#	A22	I/O, TS	Interrupt Request 1, Pull-Up 4k7	50	X2-40
DP0	B22	I/O, TS	Data Parity 0	50	X2-41
TS#	E3	I/O, TS	Transfer Start, Pull-Up 4k7	40	X2-42
TEA#	V5	I/O, TS	Transfer Error Acknowledge, Pull-Up 4k7	44	X2-43
TBST#	D3	I/O, TS	Transfer Burst	40	X2-44
TA#	C22	I/O, TS	Transfer Acknowledge, Pull-Up 4k7	40	X2-45
PSDVAL#	V3	I/O, TS	Partial Data Valid, Pull-Up 4k7	50	X2-46
IRQ0#	T1	I/O, TS	Interrupt Request 0 (NMI), Pull-Up 4k7	50	X2-47
L2_HIT#	Y4	I	L2 Cache Hit, Pull-Up 4k7	42	X2-48
IRQ7#/INT_OUT#	D1	I/O	Interrupt Request 7 / Interrupt Out, Pull-Up 4k7	50	X2-49
GBL#	W1	I/O, TS	Global, Pull-Up 4k7	42	X2-50
DBG#	V1	I/O, TS	Data Bus Grant	44	X2-51
DBB#	V2	I/O, TS	Data Bus Busy, Pull-Up 4k7	40	X2-52
ARTRY#	E1	I/O, TS	Address Retry, Pull-Up 4k7	40	X2-53
ABB#	E2	I/O, TS	Address Bus Busy, Pull-Up 4k7	40	X2-54
AACK#	F3	I/O, TS	Address Acknowledge, Pull-Up 4k7	40	X2-55
WT#	U3	I/O, TS	Write Through, Pull-Up 4k7	40	X2-56

Signal	CPU Pin	Typ	Beschreibung	Ext. Load Cap.* max. [pF]	Module Pin
--------	---------	-----	--------------	---------------------------	------------

### Memory Controller

PWE7#	A25	O	60x Bus Write Enable 7	38	X3-108
PWE6#	B25	O	60x Bus Write Enable 6	38	X3-109
PWE5#	A26	O	60x Bus Write Enable 5	38	X3-110
PWE4#		O	60x Bus Write Enable 4	38	X3-111
PWE3#	C24	O	60x Bus Write Enable 3	38	X3-112
PWE2#	D24	O	60x Bus Write Enable 2	38	X3-113
PWE1#	E24	O	60x Bus Write Enable 1	38	X3-114
PWE0#	C25	O	60x Bus Write Enable 0	38	X3-115
PSDWE#		O	60x Bus SDRAM Write Enable	30	X3-116
PSDCAS#	B23	O	60x Bus SDRAM CAS	30	X3-117
POE#	A24	O	60x Bus Output Enable	≈ 5	X3-118
PGTA#		I/O	60x Bus Transfer Acknowledge, Pull-Up 4k7	50	X4-1
CS11#	G28	I/O, TS	Chip Select 11	50	X4-2
CS10#	F29	I/O, TS	Chip Select 10	50	X4-3
CS9#	E29	O	Chip Select 9	50	X4-4
CS8#	D29	O	Chip Select 8	50	X4-5
CS7#	G25	O	Chip Select 7	50	X4-6
CS6#	F28	O	Chip Select 6	50	X4-7
CS5#	F27	O	Chip Select 5	50	X4-8
CS4#	F26	O	Chip Select 4	50	X4-9
CS3#	E28	O	Chip Select 3	50	X4-10
CS2#	E27	O	Chip Select 2	40	X4-11
CS1#	C29	O	Chip Select 1	30	X4-12
CS0#	F25	O	Chip Select 0 (Boot Chip Select)	20	X4-13
PSDAMUX	D22	O	60x Bus SDRAM Address Mux	29	X4-14
PSDA10	E23	O	60x Bus SDRAM A10	30	X4-15
BADDR28	U1	O	Burst Address 28	20	X4-16
BADDR27	T5	O	Burst Address 27	20	X4-17
ALE	T2	O	Address Latch Enable	29	X4-18
BCTL0#	A27	O	Buffer Control 0	50	X4-19
LSDA10	D27	O	Local Bus SDRAM A10	40	X4-20
LGPL5		O	Local Bus General Purpose Line 5	50	X4-21
LWR#	D28	O	Local Bus Write	50	X4-22
LWE3#	G29	O	Local Bus Write Enable 3	45	X4-26
LWE2#	H26	O	Local Bus Write Enable 2	45	X4-23
LWE1#	H27	O	Local Bus Write Enable 1	45	X4-24
LWE0#	H28	O	Local Bus Write Enable 0	45	X4-25
LSDWE#	C28	O	Local Bus SDRAM Write Enable	40	X4-27
LSDRAS#	E26	O	Local Bus SDRAM RAS	40	X4-28
RFU0			Reserved		X4-29
RFU1			Reserved		X4-30
RFU2			Reserved		X4-31
RFU3			Reserved		X4-32
LSDCAS#	D25	O	Local Bus SDRAM CAS	40	X4-33
LGTA#	C26	I/O, TS	Local Bus Transfer Acknowledge, Pull-Up 4k7	50	X4-34

Signal	CPU Pin	Typ	Beschreibung	Ext. Load Cap.* max. [pF]	Module Pin
--------	---------	-----	--------------	---------------------------	------------

**Local Address Bus**

L_A14	N27	I/O, TS	Local Address A14	40	X3-75
L_A15	T29	I/O, TS	Local Address A15	40	X3-74
L_A16	R27	I/O, TS	Local Address A16	40	X3-73
L_A17	R26	I/O, TS	Local Address A17	40	X3-72
L_A18	R29	I/O, TS	Local Address A18	40	X3-71
L_A19	R28	I/O, TS	Local Address A19	40	X3-70
L_A20	W29	I/O, TS	Local Address A20	40	X3-69
L_A21	P28	I/O, TS	Local Address A21	40	X3-68
L_A22	N26	I/O, TS	Local Address A22	40	X3-67
L_A23	AA27	I/O, TS	Local Address A23	40	X3-66
L_A24	P29	I/O, TS	Local Address A24	40	X3-65
L_A25	AA26	I/O, TS	Local Address A25	40	X3-64
L_A26	N25	I/O, TS	Local Address A26	40	X3-63
L_A27	AA25	I/O, TS	Local Address A27	40	X3-62
L_A28	AB29	I/O, TS	Local Address A28	40	X3-61
L_A29	AB28	I/O, TS	Local Address A29	40	X3-60
L_A30	P25	I/O, TS	Local Address A30	50	X3-59
L_A31	AB27	I/O, TS	Local Address A31 (LSB)	50	X3-58

**Local Data Bus**

L_D0	H29	I/O, TS	Local Data D0 (MSB)	44	X3-107
L_D1	J29	I/O, TS	Local Data D1	44	X3-106
L_D2	J28	I/O, TS	Local Data D2	44	X3-105
L_D3	J27	I/O, TS	Local Data D3	44	X3-104
L_D4	J26	I/O, TS	Local Data D4	44	X3-103
L_D5	J25	I/O, TS	Local Data D5	44	X3-102
L_D6	K25	I/O, TS	Local Data D6	44	X3-101
L_D7	L29	I/O, TS	Local Data D7	44	X3-100
L_D8	L27	I/O, TS	Local Data D8	44	X3-99
L_D9	L26	I/O, TS	Local Data D9	44	X3-98
L_D10	L25	I/O, TS	Local Data D10	44	X3-97
L_D11	M29	I/O, TS	Local Data D11	44	X3-96
L_D12	M28	I/O, TS	Local Data D12	44	X3-95
L_D13	M27	I/O, TS	Local Data D13	44	X3-94
L_D14	M26	I/O, TS	Local Data D14	44	X3-93
L_D15	N29	I/O, TS	Local Data D15	44	X3-92
L_D16	T25	I/O, TS	Local Data D16	44	X3-91
L_D17	U27	I/O, TS	Local Data D17	44	X3-90
L_D18	U26	I/O, TS	Local Data D18	44	X3-89
L_D19	U25	I/O, TS	Local Data D19	44	X3-88
L_D20	V29	I/O, TS	Local Data D20	44	X3-87
L_D21	V28	I/O, TS	Local Data D21	44	X3-86
L_D22	V27	I/O, TS	Local Data D22	44	X3-85
L_D23	V26	I/O, TS	Local Data D23	44	X3-84
L_D24	W27	I/O, TS	Local Data D24	44	X3-83
L_D25	W26	I/O, TS	Local Data D25	44	X3-82
L_D26	W25	I/O, TS	Local Data D26	44	X3-81
L_D27	Y29	I/O, TS	Local Data D27	44	X3-80
L_D28	Y28	I/O, TS	Local Data D28	44	X3-79
L_D29	Y25	I/O, TS	Local Data D29	44	X3-78

Signal	CPU Pin	Typ	Beschreibung	Ext. Load Cap.* max. [pF]	Module Pin
L_D30	AA29	I/O, TS	Local Data D30	44	X3-77
L_D31	AA28	I/O, TS	Local Data D31 (LSB)	44	X3-76

**Local Bus Control**

LCL_DP0	L28	I/O, TS	Local Bus Data Parity 0	50	X3-57
LCL_DP1	N28	I/O, TS	Local Bus Data Parity 1	50	X3-56
LCL_DP2	T28	I/O, TS	Local Bus Data Parity 2	50	X3-55
LCL_DP3	W28	I/O, TS	Local Bus Data Parity 3	50	X3-54

**Other CPU Signals**

MODCK3	W4	I/O, TS	Clock Mode 3, Pull-Up 4k7 (depends on CPU speed)	30	X2-62
MODCK2	W3	I/O, TS	Clock Mode 2, Pull-Down 4k7 (depends on CPU speed)	30	X2-63
MODCK1	W2	I/O, TS	Clock Mode 1, Pull-Up 4k7 (depends on CPU speed)	50	X2-64
TRIS#	AB4	I	Tristate, Pull-Up 4k7	-	X3-43
SRESET#	AF6	I/O	Soft Reset (Pull-Up 10 k, LED with 220 Ω to VCC3V3)	50	X3-44
RSTCONF#	AJ4	I	Reset Configuration, Pull-Down 10 k	-	X3-45
QREQ#	AA3	O	Quiescent request	50	X3-46
PORESET#	AG6	O	Power-On Reset, connected to Supervisor's output	-	X3-47
HRESET#	AH5	I/O	Hard Reset (Pull-Up 1 k)	50	X3-48
TDO	AF5	O	Test Data Out	50	X3-49
TDI	AE6	I	Test Data In, Pull-Up 10 k	-	X3-50
TCK	AG5	I	Test Clock, Pull-Up 10 k	-	X3-51
TRST#	AH3	I	Test Reset	-	X3-52
TMS	AJ3	I	Test Mode Select, Pull-Up 10 k	-	X3-53
CLKIN2/SPARE1		I	Clock In 2 / Spare 1	-	X2-11
SPARE4			Spare 4		X2-12
PCI_MODE#/SPARE5			PCI Mode / Spare 5	-	X2-13
SPARE6			Spare 6	-	X2-14
CLKIN1		DU	Clock In, connected to buffered System Clock	-	X2-15

**Port A**

PA0	AC29	I/O	Port A 0	50	X1-34
PA1	AC25	I/O	Port A 1	50	X1-33
PA2	AE28	I/O	Port A 2	50	X1-32
PA3	AG29	I/O	Port A 3	50	X1-31
PA4	AG28	I/O	Port A 4	50	X1-30
PA5	AG26	I/O	Port A 5	50	X1-29
PA6	AE24	I/O	Port A 6	50	X1-28
PA7	AH25	I/O	Port A 7	50	X1-27
SMRXD2#/PA8	AF23	I/O	Port A 8	50	X1-26
SMTXD2#/PA9	AH23	I/O	Port A 9	50	X1-25
PA10	AE22	I/O	Port A 10	50	X1-24
PA11	AH22	I/O	Port A 11	50	X1-23
PA12	AJ21	I/O	Port A 12	50	X1-22
PA13	AH20	I/O	Port A 13	50	X1-21
PA14	AG19	I/O	Port A 14	50	X1-20

Signal	CPU Pin	Typ	Beschreibung	Ext. Load Cap.* max. [pF]	Module Pin
PA15	AF18	I/O	Port A 15	50	X1-19
PA16	AF17	I/O	Port A 16	50	X1-18
PA17	AE16	I/O	Port A 17	50	X1-17
PA18	AJ16	I/O	Port A 18	50	X1-16
PA19	AG15	I/O	Port A 19	50	X1-15
PA20	AJ13	I/O	Port A 20	50	X1-14
PA21	AE13	I/O	Port A 21	50	X1-13
PA22	AF12	I/O	Port A 22	50	X1-12
PA23	AG11	I/O	Port A 23	50	X1-11
PA24	AH9	I/O	Port A 24	50	X1-10
PA25	AJ8	I/O	Port A 25	50	X1-9
PA26	AH7	I/O	Port A 26	50	X1-8
PA27	AF7	I/O	Port A 27	50	X1-7
PA28	AD5	I/O	Port A 28	50	X1-6
PA29	AF1	I/O	Port A 29	50	X1-5
PA30	AD3	I/O	Port A 30	50	X1-4
PA31	AB5	I/O	Port A 31	50	X1-3

**Port B**

PB4	AD28	I/O	Port B 4	50	X1-62
PB5	AD26	I/O	Port B 5	50	X1-61
PB6	AD25	I/O	Port B 6	50	X1-60
PB7	AE26	I/O	Port B 7	50	X1-59
PB8	AH27	I/O	Port B 8	50	X1-58
PB9	AG24	I/O	Port B 9	50	X1-57
PB10	AH24	I/O	Port B 10	50	X1-56
PB11	AJ24	I/O	Port B 11	50	X1-55
PB12	AG22	I/O	Port B 12	50	X1-54
PB13	AH21	I/O	Port B 13	50	X1-53
PB14	AG20	I/O	Port B 14	50	X1-52
PB15	AF19	I/O	Port B 15	50	X1-51
PB16	AJ18	I/O	Port B 16	50	X1-50
PB17	AJ17	I/O	Port B 17	50	X1-49
PB18	AE14	I/O	Port B 18	50	X1-48
PB19	AF13	I/O	Port B 19	50	X1-47
PB20	AG12	I/O	Port B 20	50	X1-46
PB21	AH11	I/O	Port B 21	50	X1-45
PB22	AH16	I/O	Port B 22	50	X1-44
PB23	AE15	I/O	Port B 23	50	X1-43
PB24	AJ9	I/O	Port B 24	50	X1-42
PB25	AE9	I/O	Port B 25	50	X1-41
PB26	AJ7	I/O	Port B 26	50	X1-40
PB27	AH6	I/O	Port B 27	50	X1-39
PB28	AE3	I/O	Port B 28	50	X1-38
PB29	AE2	I/O	Port B 29	50	X1-37
PB30	AC5	I/O	Port B 30	50	X1-36
PB31	AC4	I/O	Port B 31	50	X1-35

**Port C**

PC0	AB26	I/O	Port C 0	50	X1-94
PC1	AD29	I/O	Port C 1	50	X1-93
PC2	AE29	I/O	Port C 2	50	X1-92

Signal	CPU Pin	Typ	Beschreibung	Ext. Load Cap.* max. [pF]	Module Pin
PC3	AE27	I/O	Port C 3	50	X1-91
PC4	AF27	I/O	Port C 4	50	X1-90
PC5	AF24	I/O	Port C 5	50	X1-89
PC6	AJ26	I/O	Port C 6	50	X1-88
PC7	AJ25	I/O	Port C 7	50	X1-87
PC8	AF22	I/O	Port C 8	50	X1-86
PC9	AE21	I/O	Port C 9	50	X1-85
PC10	AF20	I/O	Port C 10	50	X1-84
PC11	AE19	I/O	Port C 11	50	X1-83
PC12	AE18	I/O	Port C 12	50	X1-82
PC13	AH18	I/O	Port C 13	50	X1-81
PC14	AH17	I/O	Port C 14	50	X1-80
PC15	AG16	I/O	Port C 15	50	X1-79
PC16	AF15	I/O	Port C 16	50	X1-78
PC17	AJ15	I/O	Port C 17	50	X1-77
PC18	AH14	I/O	Port C 18	50	X1-76
PC19	AG13	I/O	Port C 19	50	X1-75
PC20	AH12	I/O	Port C 20	50	X1-74
PC21	AJ11	I/O	Port C 21	50	X1-73
PC22	AG10	I/O	Port C 22	50	X1-72
PC23	AE10	I/O	Port C 23	50	X1-71
PC24	AF9	I/O	Port C 24	50	X1-70
PC25	AE8	I/O	Port C 25	50	X1-69
PC26	AJ6	I/O	Port C 26	50	X1-68
PC27	AG2	I/O	Port C 27	50	X1-67
PC28	AF3	I/O	Port C 28	50	X1-66
PC29	AF2	I/O	Port C 29	50	X1-65
PC30	AE1	I/O	Port C 30	50	X1-64
PC31	AD1	I/O	Port C 31	50	X1-63

**Port D**

PD4	AC28	I/O	Port D 4	50	X2-2
PD5	AD27	I/O	Port D 5	50	X2-1
PD6	AF29	I/O	Port D 6	50	X1-120
PD7	AF28	I/O	Port D 7	50	X1-119
SMRXD1#/PD8	AG25	I/O	Port D 8	50	X1-118
SMTXD1#/PD9	AH26	I/O	Port D 9	50	X1-117
PD10	AJ27	I/O	Port D 10	50	X1-116
PD11	AJ23	I/O	Port D 11	50	X1-115
PD12	AG23	I/O	Port D 12	50	X1-114
PD13	AJ22	I/O	Port D 13	50	X1-113
I2SCL/PD14	AE20	I/O	Port D 14	50	X1-112
I2SDA/PD15	AJ20	I/O	Port D 15	50	X1-111
PD16	AG18	I/O	Port D 16	50	X1-110
PD17	AG17	I/O	Port D 17	50	X1-109
PD18	AF16	I/O	Port D 18	50	X1-108
PD19	AH15	I/O	Port D 19	50	X1-107
PD20	AJ14	I/O	Port D 20	50	X1-106
PD21	AH13	I/O	Port D 21	50	X1-105
PD22	AJ12	I/O	Port D 22	50	X1-104
PD23	AE12	I/O	Port D 23	50	X1-103
PD24	AF10	I/O	Port D 24	50	X1-102

Signal	CPU Pin	Typ	Beschreibung	Ext. Load Cap.* max. [pF]	Module Pin
PD25	AG9	I/O	Port D 25	50	X1-101
PD26	AH8	I/O	Port D 26	50	X1-100
PD27	AG7	I/O	Port D 27	50	X1-99
PD28	AE4	I/O	Port D 28	50	X1-98
PD29	AG1	I/O	Port D 29	50	X1-97
PD30	AD4	I/O	Port D 30	50	X1-96
PD31	AD2	I/O	Port D 31	50	X1-95

### Non-CPU Signals

CLKB_USR1	1	O	Buffered User Clock 1 (in Phase with MPC8260 CLKIN)	50	X2-5
CLKB_USR0	1	O	Buffered User Clock 0 (in Phase with MPC8260 CLKIN)	50	X2-6
CLKOE		DU	Oscillator Clock Output Enable	-	X2-7
CLK		DU	Clock from Oscillator	-	X2-8
PFO#	1	O	Power-Fail Output (Supervisor)		X3-27
PFI#	1	I	Power-Fail Input (Supervisor, z. B. für "Frühwarnung"), Pull-Down 100 k 1 %	-	X3-28
RESIN#	1	I	Reset Input (Master Reset of Supervisor), Pull-Up 10 k	-	X3-29
SUPDIS#	1	I	Supervisor Disable for 3,3 V, Pull-Up 4k7	-	X3-30
PGOOD	1	O	Power Good Signal (used e. g. to enable external bus drivers)		X3-31
SMTXD2	1	O	SMC2 Transmit Data, RS232 level		X3-32
SMTXD1	1	O	SMC1 Transmit Data, RS232 level		X3-33
SMRXD2	1	I	SMC2 Receive Data, RS232 level		X3-34
SMRXD1	1	I	SMC1 Receive Data, RS232 level		X3-35
PORESETF#		I	Flash Reset Signal (12 V may be applied without damaging the module – anyway, this is not recommended)	-	X3-36
PORESET		O	Active high Power-on Reset (Supervisor)		X3-42
ENMON#	1	I	Monitor Enable (enable interactive Mode), Pull-Up 10 k	-	X3-37
CKE	1	I	60x Bus SDRAM Clock Enable, Pull-Up 4k7	-	X3-38
LCKE	1	I	Local SDRAM Clock Enable, Pull-Up 4k7	-	X3-39
LATCH_OE#		DU	Adress Latch Output Enable, Pull-Down 4k7	-	X3-40
MUX_OE#		DU	SDRAM Mux Output Enable, Pull-Down 4k7	-	X3-41
CFG2		I	L2 Configuration 2, Pull-Down 10 k	-	X3-65
CFG1		I	L2 Configuration 1, Pull-Down 10 k	-	X3-66
L2_TDO		O	L2 Cache Test Data Out	50	X2-57
L2_TDI		I	L2 Cache Test Data In, Pull-Up 10 k	-	X2-58
L2_TCK		I	L2 Cache Test Clock, Pull-Up 10 k	-	X2-59
L2_TRST#		I	L2 Cache Test Reset, Pull-Down 10 k	-	X2-60
L2_TMS		I	L2 Cache Test Mode Select, Pull-Up 10 k	-	X2-61

Signal	CPU Pin	Typ	Beschreibung	Ext. Load Cap.* max. [pF]	Module Pin
--------	---------	-----	--------------	---------------------------	------------

**Power Supply**

VCC3V3IN	10	V	3,3 V Supply Input (3,3 V non-switched)	-	X3-13 X3-15 X3-17 X3-18 X3-19 X3-20 X3-21 X3-22
VCC3V3	2	V	3,3 V Supply (switched)	-	X3-23 X3-24
VCCIN	8	V	5 V Supply Input (3,9 .. 5,5 V)	-	X3-1 X3-3 X3-5 X3-7 X3-9 X3-11
DGND	30	V	(Digital) Ground	-	X1-1 X1-2 X2-3 X2-4 X2-9 X2-10 X2-99 X2-100 X3-2 X3-4 X3-6 X3-8 X3-10 X3-12 X3-14 X3-16 X3-25 X3-26 X3-119 X3-120 X4-99 X4-100

Zum Anschluß der Versorgungsspannung siehe 2.2.5.

## **2.4 Mechanikspezifikation**

- Zweireihige, hochpolige SMD-Steckverbinder im Raster 0,8 mm, 2 \* 120polig + 2\* 100polig
- Die Kombination mit verschiedenen Gegenstücken ermöglicht verschiedene Bauhöhen, um Anpassung an die Bestückung der Basisleiterplatte (Mainboard) zu erreichen
- Doppelseitige SMD-Bestückung
- Platinenabmessungen 100 x 68 mm<sup>2</sup>

## **2.5 Softwarespezifikation**

Der Monitor ist die mit den TQM82xx-Modulen ausgelieferte Basis-Software. Nach Anschluß einer seriellen Schnittstelle und der Versorgungsspannung ermöglicht er in Verbindung mit einem Starterkit STK82xx die Kommunikation mit dem Modul. Die Monitor- und Download-Software MON82xx stellt grundlegende Funktionen zur Inbetriebnahme des TQM82xx bereit. Diese gliedern sich in die Bereiche:

- Monitorfunktionen:  
Speicher- und Registermonitor zum Ansprechen des Speichers und der Register des MPC82xx, Erweiterungsmöglichkeiten zum Ansprechen weiterer - auch externer - Memory mapped I/Os. Es stehen einfache I/O-Funktionen wie Speicher editieren, Dump, Register ändern, sowie die Möglichkeit, S-Record-Files in RAM oder Flash zu laden zur Verfügung
- Automatischer Applikationsstart:  
Nach einem Reset kann wahlweise der Monitor oder eine Applikation / ein Betriebssystem gestartet werden. Dazu fragt der MON82xx beim Start den auf die Debugging-Schnittstelle geführten Port-Pin (Signal ENMON#) ab, und verzweigt wahlweise in den Monitor, oder startet eine Applikation oder ein Betriebssystem.

## **2.6 Sicherheitsanforderungen und Schutzbestimmungen**

### **2.6.1 EMV-Anforderungen**

Für die CE-Zertifizierung müssen folgende Normen erfüllt werden:

- EN 50081-1: Störaussendung im Wohnbereich
- EN 50082-2: Störfestigkeit im Industriebereich

Die Einhaltung der Normen ist in Zusammenhang mit einem Referenzdesign zu erfüllen. Als Referenzdesign wird hier das Starterkit STK82xx vorgesehen.

Das Modul wurde sorgfältig nach den Anforderungen der elektromagnetischen Verträglichkeit (EMV) entwickelt. Abhängig vom Zielsystem können dennoch Entstörmaßnahmen notwendig werden, um für das Gesamtsystem die Einhaltung bestimmter Grenzwert zu gewährleisten.

Es werden folgende Maßnahmen empfohlen :

- Stabile Masseverhältnisse (ausreichend Masseflächen) auf der Leiterplatte
- Bei Metallgehäusen eine gute (mindestens HF-mäßige) Anbindung der Leiterplattenmasse an das Gehäusepotential
- Ausreichende Blockkondensatoren an allen Versorgungsspannungen
- Schnelle bzw. ständig taktende Leitungen (z. B. Clock) kurz halten; Einstreuung in andere Signale durch Abstand und / oder Schirmung vermeiden
- Filterung aller Signale, die extern angeschlossen werden können (auch "langsame" und Gleichspannungssignale können indirekt HF abstrahlen)

### **2.6.2 ESD-Anforderungen**

Ein guter Schutz gegen elektrostatische Entladung ist sinnvollerweise direkt an den Eingänge eines Systems anzuordnen, um nicht auf dem Weg vom Eingang zu Schutzbeschaltung in das System einzukoppeln. Da diese Maßnahmen immer auf der Basisplatine realisiert werden müssen, wurde auf dem Modul keine speziellen Schutzmaßnahmen vorgesehen. Die verwendeten Bausteine selbst bieten

gemäß Spezifikation selbst einen gewissen Schutz, der jedoch i. A. nicht ausreicht, um die gesetzlichen Anforderungen ohne weiteres zu erfüllen.

Folgende Maßnahmen werden empfohlen:

- Generell anwendbar: Schirmung der Zuleitungen (Schirmung auf beiden Seiten massiv mit Masse / Gehäuse verbunden)
- Bei Versorgungsspannungen: Schutz durch Supressordiode(n)
- Langsame Signalleitungen: RC-Filterung, evtl. Z-Diode
- Schnelle Signalleitungen: Integrierte Schutzbausteine (Supressordioden-Arrays)

## **2.6.3 Betriebssicherheit und Personenschutz**

Eine gesonderte Prüfung kann aufgrund der auftretenden Spannungen ( $\leq 5$  V DC) entfallen.

## **2.7 Umweltbedingungen**

### **2.7.1 Klima- und Einsatzbereich**

- Umgebungstemperatur : 0 .. 70 °C, optional -40°C .. +85°C
- Lagertemperatur : -20 .. + 100 °C
- Schutzart : : IP00 (kein Schutz gegen Fremdkörper und Feuchtigkeit)

### **2.7.2 Einbaubedingungen**

Das kritische Bauteil hinsichtlich der Erwärmung ist die CPU. In ruhender Luft (natürliche Konvektion möglich) ist ein Betrieb über den gesamten Umgebungstemperaturbereich ohne besondere Kühlmaßnahmen möglich. Beim Einbau des Modul in ein Gehäuse ist folgendes zu beachten:

- Innerhalb eines geschlossenen Gehäuses tritt i. A. eine Temperaturerhöhung auf. Maßgeblich für die Betriebssicherheit ist Umgebungstemperatur des Moduls, so daß sich die für das Gesamtgerät zulässige Maximaltemperatur verringert. Eine Verbesserung kann z. B. durch direkte thermische Anbindung des Moduls (Wärmeleitschaumstoff / -gummi) an eine Kühlfläche, oder durch Belüftung erreicht werden.
- Innerhalb geschlossenen Gehäusen kann es zur Erwärmung des Moduls durch andere Wärmequellen kommen. Abhilfe wie oben, oder durch Isolieren der Wärmequelle(n).